Лабораторная работа № 12

# Подключение модуля знакосинтезирующего ЖКИ

Цель работы:

1. Изучение принципов подключения внешних устройств к МК

ATmega8535.

1. Программирование работы модуля знакосинтезирующего жидкокри- сталлического индикатора (ЖКИ).

Оборудование и программное обеспечение:

1. Лабораторный макет MK8535 в составе: модуль базовый МБ8535 +

модуль сменный МС05.

1. Кабель соединительный для программирования МК.
2. Персональный компьютер.
3. Интегрированная среда программирования CodeVisionAVR.

# Подготовка к работе

Структурная схема лабораторного макета приведена на рис. 71. Модуль ЖКИ типа 1602 подключен к порту A в расчете на обмен в 4-битном режиме.

Разработаем простую программу, которая выводит в верхнюю строку модуля ЖКИ надпись «KRSU 2014», а в нижнюю строку – все символы, имеющиеся в знакогенераторе этого модуля, в форме «бегу- щей строки».

Создадим проект в CodeWizardAVR и настроим все линии портов A, B, C, D на ввод, кроме линии 1 порта B – её настроим на вывод для включения подсветки ЖКИ.

Ниже приведен пример программы для МК ATmega8535. В нем опущены те строки, автоматически сформированные CodeWizardAVR, которые не существенны для данного примера.

Вначале программа выводит на ЖКИ первые 16 символов с кодами

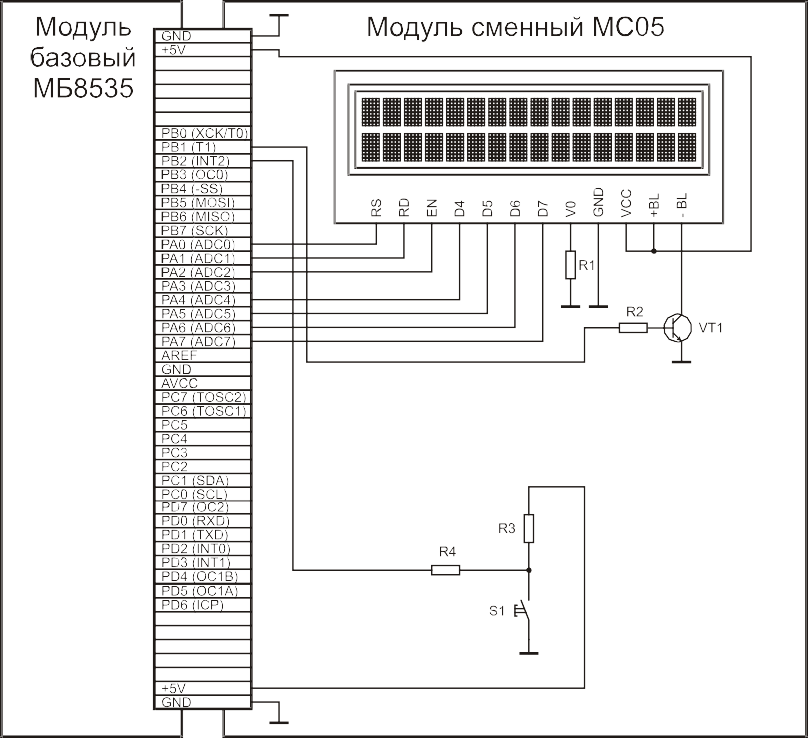


Рис. 71. Структурная схема лабораторного макета. Для модуля МС05 показана только та часть схемы, которая используется в данной работе

# #include <mega8535.h>

**// Для LCD-функций: ЖКИ подключен к порту A #asm**

0…15. Затем, в цикле, коды символов строки последовательно увеличи- ваются на 1, обеспечивая эффект «бегущей строки».

**.equ lcd\_port #endasm**

**= 0x1B; PORTA**

**#include <lcd.h> // Функции управления ЖКИ**

**#include <delay.h> unsigned char ch;**

**char S[16]; // Строка из 16 символов**

**int i;**

**void main(void)**

**{**

**PORTA=0x00; DDRA=0x00;**

**PORTB=0x02; DDRB=0x02; // Вкл. подсветку ЖКИ**

**PORTC=0x00; DDRC=0x00; PORTD=0x00; DDRD=0x00;**

**// Первые 16 символов «бегущей строки» for (ch=0; ch<16; ch++) S[ch]=ch;**

**// Инициализация ЖКИ на 16 знакомест**

**lcd\_init(16);**

**// К 1 знакоместу 1-й строки**

**lcd\_gotoxy(0,0);**

**lcd\_puts(«KRSU 2014»); // Вывод 1-й строки**

**// К 1 знакоместу 2-й строки**

**lcd\_gotoxy(0,1);**

**lcd\_puts(S); // Вывод 2-й строки**

**while (1)**

**{ // +1 к кодам символов**

**for (i=0; i<16; i++) S[i]++;**

**lcd\_gotoxy(0,1); lcd\_puts(S);**

# МОДУЛЬ UART В МИКРОКОНТРОЛЛЕРАХ AVR

Микроконтроллеры семейcтвa Mega имеют в своем составе модули либо универсального асинхронного (UART), либо универсального син- хронно/асинхронного (USART) приемопередатчика.

Заметим, что модули USART при работе в асинхронном режиме совместимы с модулями UART как по расположению разрядов управ- ляющих регистров, так и по функционированию. Небольшие различия имеются только в работе схемы буферизации блока приемника модулей и в названии (но не в назначении) некоторых разрядов управляющих регистров.

Все модули приемопередатчиков обеспечивают полнодуплексный обмен по последовательному каналу, при этом скорость передачи данных может варьироваться в довольно широких пределах. В модулях UART посылка может быть 8- или 9-разрядной, а в модулях USART ее длина может составлять от 5 до 9 разрядов. Еще одной особенностью модулей USART является наличие схем формирования и контроля четности.

Модули USART/UART, реализованные в микроконтроллерах семейства Mega, могут обнаруживать следующие внештатные ситуации:

* переполнение;

# delay\_ms(1000);

**}**

**}**

# Задание

* ошибка кадрирования;
* неверный старт-бит.

Для уменьшения вероятности сбоев в модулях реализована филь- трация помех.

Для взаимодействия с программой в модулях предусмотрены

3 прерывания, запрос на генерацию которых формируется при наступ-

1. Создать проект и реализовать рассмотренный выше пример программы.
2. Разработать программу, которая выводит в верхнюю строку модуля ЖКИ название группы и показания часов в формате ЧЧ:ММ:СС, а в нижнюю – фамилию студента.
3. Обеспечить включение подсветки ЖКИ нажатием кнопки. Подсветка должна автоматически выключаться по истечении 5 с.
4. Разработать программу, которая выводит на ЖКИ строку привет- ствия, расположенную в EEPROM-памяти МК.

лении следующих событий:

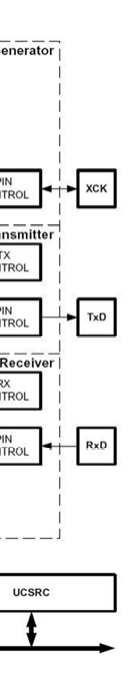
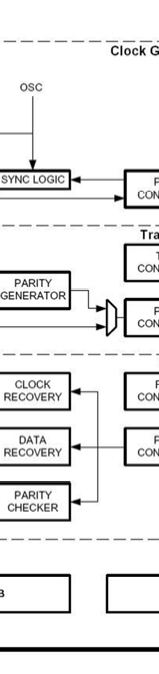
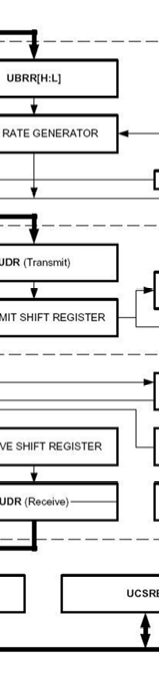
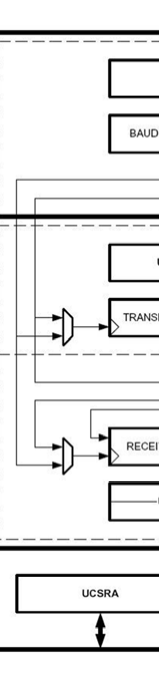
* + передача завершена;
  + регистр данных передатчика пуст;
  + прием завершен.

В МК ATmega8535 модули USART/UART используют выводы микроконтроллера совместно с линиями портов ввода/вывода общего назначения.

# Использование модулей USART/UART

Блок передатчика включает одноуровневый буфер, сдвиговый ре- гистр, схему формирования бита четности (только USART) и схему

Упрощенная структурная схема приведена на рис. 72.



одного модуля

USART/UART

управления. Блок приемника, в свою очередь, включает схемы восста- новления тактового сигнала и данных, схему контроля четности (только USART), двухуровневый (USART) или одноуровневый (UART) буфер, сдвиговый регистр, а такжe схему управления.

Буферные регистры приемника и передатчика располагаются по одному адресу пространства ввода/вывода и обозначаются как регистр данных UDR (Universal Data Register). В этом регистре хранятся младшие 8 разрядов принимаемых и передаваемых данных. При чтении выполня- ется обращение к буферному регистру UDR приемника, при записи – к буферному регистру передатчика. В МК ATmega8535 UDR расположен по адресу 0x0C.

В модулях USART буфер приемника является двухуровневым (FIFO-буфер), изменение состояния которого происходит при любом обращении к регистру UDR. В связи с этим не следует использовать регистр UDR в качестве операндов команд типа «чте- ние/модификация/запись» (SBI и CBI). Кроме того, следует быть очень аккуратными при использовании команд проверки SBIC и SBIS, поскольку они также изменяют состояние буфера приемника.

Для управления модулями UART используются два регистра: UCSRA и UCSRB. А для управления модулями USART используются уже три регистра: UCSRA, UCSRB и UCSRC. Адреса этих регистров – 0x0B, 0x0A и 0x20 соответственно.

Формат регистров UCSRA, UCSRB и UCSRC приведен на рис. 73...75, а значение разрядов этих регистров описано в табл. 30...32 соответственно.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| **RXC** | **TXC** | **UDRE** | **FE** | **DOR** | **PE** | **U2X** | **MPCM** |
| R | R/W | R | R | R | R | R/W | R/W |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

Рис. 72. Структурная схема модуля USART/UART

Как показано на рисунке, модуль состоит из трех основных ча- стей: блока тактирования, блока передатчика и блока приемника. Блок тактирования модулей USART включает в себя схему синхронизации, которая используется при работе в синхронном режиме и контроллер скорости передачи. В модулях UART блок тактирования состоит только из контроллера скорости передачи.

Рис. 73. Формат регистра UCSRA ATmega8535

Разряды регистра UCSRA ATmega8535

*Таблица 30*

*Продолжение табл. 30*

Разряды регистра UCSRA ATmega8535

|  |  |  |
| --- | --- | --- |
| Раз- ряд | Название | Описание |
| 2 | РE | **Флаг ошибки контроля четности**. Флаг устанавливается в «1», если в данных, находящихся в буфере приемника, выявлена ошибка контроля четности. При отключенном контроле четности этот разряд постоянно сброшен в «0» |
| 1 | U2X | **Удвоение скорости обмена**. Если этот разряд установлен в «1», коэффициент деления предделителя контроллера скорости передачи уменьшается с 16 до 8, удваивая тем самым скорость асинхронного обмена но последовательному каналу. В USART разряд U2X используется только при асинхронном режиме работы. В синхронном режиме он должен быть сброшен |
| 0 | МРСМ | **Режим мультипроцессорного обмена**. Разряд МРСМ используется в режиме мультипроцессорного обмена. Если он установлен в «1», ведомый микроконтроллер ожидает приема кадра, содержащего адрес. Кадры, не содержащие адреса устройства, игнорируются |

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| **RXCIE** | **TXCIE** | **UDRIE** | **RXEN** | **TXEN** | **UCSZ2** | **RXB8** | **TXB8** |
| R/W | R/W | R/W | R/W | R/W | R/W | R | R/W |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Рис. 74. Формат регистра UCSRB ATmega8535

|  |  |  |
| --- | --- | --- |
| Раз- ряд | Название | Описание |
| 7 | RXC | **Флаг завершения приема**. Флаг устанавливается в «1» при наличии непрочитанных данных в буфере приемника (регистр данных UDR). Сбрасывается флаг аппаратно после опустошения буфера (в UART – после прочтения регистра данных). Если разряд RXCIE регистра UCSRB установлен, то при установке флага генерируется запрос на прерывание  «прием завершен» |
| 6 | TXC | **Флаг завершения передачи**. Флаг устанавливается в «1» после передачи всех разрядов посылки из сдвигового реги- стра передатчика, при условии, что в регистр данных UDR не было загружено нового значения. Если разряд TXCIE регистра UCSRB установлен, то при установке флага гене- рируется прерывание «передача завершена». Флаг сбрасы- вается аппаратно при выполнении подпрограммы обработ- ки прерывания или программно, записью в него лог. 1 |
| 5 | UDRE | **Флаг опустошения регистра данных**. Данный флаг уста- навливается в «1» при пустом буфере передатчика (после пересылки байта из регистра данных UDR в сдвиговый регистр передатчика). Установленный флаг означает, что в регистр данных можно загружать новое значение. Если разряд UDRIE регистра UCR (UCSRB) установлен, генери- руется запрос на прерывание «регистр данных пуст». Флаг сбрасывается аппаратно, при записи в регистр данных |
| 4 | FE | **Флаг ошибки кадрирования**. Флаг устанавливается в «1» при обнаружении ошибки кадрирования, т.е. если первый стоп-бит принятой посылки равен «0». Флаг сбрасывается при приеме стоп-бита, равного «1» |
| 3 | DOR | **Флаг переполнения**. В USART флаг устанавливается в «1», если в момент обнаружения нового старт-бита в сдвиговом регистре приемника находится последнее при- нятое слово, a буфер приемника полон (два значения). В UART флаг устанавливается в «1», если новый кадр бу- дет помешен в сдвиговый регистр приемника до того, как из регистра данных будет считано предыдущее слово. Флаг сбрасывается при пересылке принятых данных из сдвиго- вого регистра приемника в буфер |

Разряды регистра UCSRB ATmega8535

*Таблица 31*

|  |  |  |
| --- | --- | --- |
| Раз- ряд | Название | Описание |
| 7 | RXCIЕ | **Разрешение прерывания по завершению приема**. Если данный разряд установлен в «1», то при установке флага RXCIЕ регистра UCSRA генерируется прерывание «прием завершен» (если флаг I регистра SREG установлен в «1») |
| 6 | ТХСIЕ | **Разрешение прерывания по завершению передачи**. Если данный разряд установлен в «1», то при установке флага ТХС регистра UCSRA генерируется прерывание «передача завершена» (если флаг I регистра SREG установлен в «1») |

*Продолжение табл. 31*

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| **URSEL** | **UMSEL** | **UPM1** | **UPM0** | **USBS** | **UCSZ1** | **UCSZ0** | **UCPOL** |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Разряды регистра UCSRB ATmega8535

Рис. 75. Формат регистра UCSRC ATmega8535

|  |  |  |
| --- | --- | --- |
| Раз-  ряд | Название | Описание |
| 5 | UDRIE | **Разрешение прерывания при очистке регистра дан- ных UART**. Если данный разряд установлен в «1», то при установке флага UDRE в регистра UCSRA генерируется прерывание «регистр данных пуст» (если флаг I регистра  SREG установлен в «1») |
| 4 | RXEN | **Разрешение приема**. При установке этого разряда в «1» разрешается работа приемника USART/UART и пе- реопределяется функционирование вывода RXD. При сбросе разряда RXEN работа приемника запрещается, а его буфер сбрасывается. Значения флагов ТХС, DOR  и FE при этом становятся недействительными |
| 3 | TXEN | **Разрешение передачи**. При установке этого разряда в «1» разрешается работа передатчика UART и переопре- деляется функционирование вывода TXD. Если разряд сбрасывается в «0» во время передачи, выключение пере- датчика произойдет только после завершения передачи данных, находящихся в сдвиговом регистре и буфере  передатчика |
| 2 | UCSZ2 | **Формат посылок**. Этот разряд используется для задания размера данных, передаваемых по последовательному каналу. В модулях USART он используется совместно с разрядами UCSZ1:0 регистра UCSRC. В модулях UART, если разряд UCSZ2 установлен в «1», осуществ-  ляется передача и прием 9-разрядных данных, если сброшен – 8-разрядных |
| 1 | RXB8 | **8-й разряд принимаемых данных**. При использовании 9-разрядных слов данных этот разряд содержит значение старшего разряда принятого слова. В случае USART  содержимое этого разряда должно быть считано до про- чтения регистра данных UDR |
| 0 | TXB8 | **8-й разряд передаваемых данных**. При использовании 9-разрядных слов данных, содержимое этого разряда является старшим разрядом передаваемого слова. Требу- емое значение должно быть занесено в этот разряд до  загрузки байта данных в регистр UDR |

Разряды регистра UCSRC ATmega8535

*Таблица 32*

|  |  |  |
| --- | --- | --- |
| Раз-  ряд | Название | Описание |
| 7 | URCEL | **Выбор регистра**. Этот разряд определяет, в какой из регистров модуля производится запись. Если разряд установлен в «1», обращение производится к регистру  UCSRC. Если же разряд сброшен в «0», обращение про- изводится к регистру UBRRH |
| 6 | UMSEL | **Режим работы USART**. Если разряд сброшен в «0», модуль USART работает в асинхронном режиме. Если разряд установлен в «1», то модуль USART работает  в синхронном режиме |
| 5 | UPM1 | **Режим работы схемы контроля и формирования чет- ности**. Эти разряды определяют функционирование схем  контроля и формирования четности |
| 4 | UPM0 |
| 3 | USBS | **Количество стоп-битов**. Этот разряд определяет количе- ство стоп-битов, посылаемых передатчиком. Если разряд сброшен в «0», передатчик посылает 1 стоп-бит, если  установлен в «1», то 2 стоп-бита. Для приемника содер- жимое этого разряда безразлично |
| 2 | UCSZ1 | **Формат посылок**. Совместно с разрядом UCSZ2 реги-  стра UCSRB эти разряды определяют количество разря- дов данных в посылках (размер слова) |
| 1 | UCSZ0 |
| 0 | UCPOL | **Полярность тактового сигнала**. Значение этого разряда определяет момент выдачи и считывания данных на вы- водах модуля. Разряд используется только при работе в синхронном режиме. При работе в асинхронном режиме  он должен быть сброшен в «0» |

# Скорость приема/передачи

В асинхронном режиме, а также в синхронном режиме при работе в качестве ведущего, скорость приема и передачи данных задается кон- троллером скорости передачи, функционирующим как делитель систем-

ного тактового сигнала с программируемым коэффициентом деления. Коэффициент определяется содержимым регистра контроллера UBRR. В блок приемника сформированный сигнал поступает сразу, а в блок передатчика – через дополнительный делитель, коэффициент деления которого (2, 8 или 16) зависит от режима работы модуля USART/UART.

Регистр UBRR является 12-разрядным и физически размещается в двух регистрах ввода/вывода. Следует иметь в виду, что в ATmega8535 регистр UBRRH размешается по тому же адресу, что и регистр управле- ния UCSRC. Поэтому при обращении по этим адресам необходимо вы- полнить ряд дополнительных действий для выбора конкретного регистра.

При записи регистр определяется состоянием старшего разряда записываемого значения URSEL. Если этот разряд сброшен в «0», изме- няется содержимое регистра UBRRH. Если же старший разряд значения установлен в «1», изменяется содержимое регистра управления UCSRC.

Для выбора регистра при чтении используется временная после- довательность. При первом обращении по указанным адресам возвраща- ется значение регистра UBRRH. При повторном обращении по этим ад- ресам в следующем машинном цикле возвращается значение регистра UCSRC. Прерывания при выполнении этой последовательности команд должны быть запрещены.

При работе в асинхронном режиме скорость обмена определяется не только содержимым регистра UBRR, но и состоянием разряда U2X регистра UCSRA. Если этот разряд установлен в «1», коэффициент деления предделителя уменьшается в два раза, а скорость обмена соот- ветственно удваивается. При работе в синхронном режиме этот разряд должен быть сброшен.

Рекомендуется использовать значения регистра UBRR, при кото- рых получаемая скорость передачи отличается от требуемого значения меньше чем на 0,5%. Значения, дающие большее отклонение также можно использовать, однако следует иметь в виду, что при этом снижа- ется помехозащищенность линии передачи.

# Формат кадра

Под кадром в данном случае понимается совокупность одного слова данных и сопутствующей информации (рис. 76). Кадр начинается со старт-бита, за которым следует младший разряд слова данных. После старшего разряда слова данных следует один или два стоп-бита. Если включена схема формирования бита четности, он включается между старшим разрядом слова данных и первым стоп-битом.

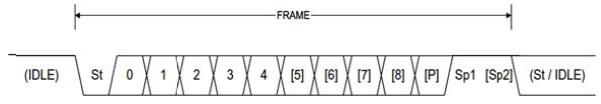


Рис. 76. Формат кадра

Формат кадра определяется несколькими разрядами регистров CSRB и UCSRC. Размер слова данных в USART определяется разрядами UCSZ2...UCSZ0 в соответствии с табл. 33.

*Таблица 33*

Определение размера слова данных в модулях USART

|  |  |  |  |
| --- | --- | --- | --- |
| UCSZ2 | UCSZ1 | UCSZ0 | Размер слова данных |
| 0 | 0 | 0 | 5 разрядов |
| 0 | 0 | 1 | 6 разрядов |
| 0 | 1 | 0 | 7 разрядов |
| 0 | 1 | 1 | 8 разрядов |
| 1 | 0 | 0 | Зарезервировано |
| 1 | 0 | 1 | Зарезервировано |
| 1 | 1 | 0 | Зарезервировано |
| 1 | 1 | 1 | 9 разрядов |

В модулях UART слово данных может быть только 8- или 9-разрядным, что определяется состоянием флага CHR9 регистра UCSRB. Если этот флаг сброшен в «0», размер слова равен 8 разрядам, если установлен в «1» – 9 разрядам.

Выбор количества стоп-битов в модулях USART осуществляется с помощью разряда USBS регистра UCSRC. Если этот разряд сброшен в «0», блок передатчика формирует 1 стоп-бит в конце посылки. В про- тивном случае если разряд установлен в «1», блок передатчика форми- рует 2 стоп-бита. Следует отметить, что приемником второй стоп-бит игнорируется, и соответственно ошибки кадрирования выявляются только для первого стоп-бита.

Разряды UPM1:UPM0 регистра UCSRС определяют функциони- рование схемы контроля четности модулей USARТ согласно табл. 34.

Управление контролем четности

|  |  |  |
| --- | --- | --- |
| UPM1 | UPM0 | Режим работы |
| 0 | 0 | Выключен |
| 0 | 1 | Зарезервировано |
| 1 | 0 | Включен, проверка на четность  (even parity) |
| 1 | 1 | Включен, проверка на нечетность  (оdd parity) |

# Передача данных

*Таблица 34*

стре формируется служебная информация – старт-бит, возможный бит четности, а также один или два стоп-бита.

После загрузки сдвигового регистра его содержимое начинает сдвигаться вправо и поступать на вывод TxD. Скорость сдвига опреде- ляется настройками контроллерных тактовых сигналов. При работе в синхронном режиме (только USART) состояния вывода TXD происхо- дит по одному из фронтов сигнала ХСК. Если разряд UCPOL регистра UCSRC сброшен в «0», изменение состояния вывода происходит по нарастающему фронту сигнала ХСК, если же установлен в «1» – по падающему фронту сигнала.

Если во время передачи в регистр UDR было записано новое слово данных, то после передачи последнего стоп-бита оно пересылается в сдвиговый регистр. Если же к моменту окончания передачи кадра такой записи выполнено не было, устанавливается флаг прерывания «Передача

Работа передатчика разрешена, если установлен в «1» разряд TXEN регистра UCSRB. При установке разряда вывод TxD подключается к передатчику USART/UART и начинает функционировать как выход независимо от установок регистров управления портом. Если использу- ется синхронный режим работы, переопределяется также функциониро- вание вывода ХСК.

Передача инициируется записью передаваемых данных в буфер- ный регистр передатчика – регистр данных UDR. После этого данные пересылаются из регистра UDR в сдвиговый регистр передатчика. Одновременно, если используются 9-разрядные данные значение разряда ТХВ8 регистра CSRB копируется в 9-й разряд сдвигового регистра. При этом возможны два варианта:

1. запись в регистр UDR осуществляется в тот момент, когда передатчик находится в состоянии ожидания (предыдущие данные уже переданы). В этом случае данные пересылаются в сдвиговый регистр сразу же после записи в регистр UDR;
2. запись в регистр UDR осуществляется во время передачи. В этом слу- чае данные пересылаются в сдвиговый регистр после передачи последнего стоп-бита текущего кадра.

Очевидно, что 9-й разряд данных должен быть загружен в разряд ТХВ8 до записи младшего байта слова в регистр данных.

После пересылки слова данных в сдвиговый регистр, флаг UDRE регистра UCSRA устанавливается в «1», что означает готовность пере- датчика к получению нового слова данных. В этом состоянии флаг оста- ется до следующей записи в буфер. Одновременно с пересылкой в реги-

завершена» ТХС регистра UCSRA*.* Сброс флага осуществляется аппа- ратно при входе в подпрограмму обработки соответствующего прерыва- ния или программно, записью в этот разряд лог. 1.

Выключение передатчика осуществляется сбросом разряда TXEN регистра UCSRB. Если в момент выполнения этой команды осуществля- лась передача, сброс разряда произойдет только после завершения текущей и отложенной передач, т.е. после очистки сдвигового и буфер- ного регистров передатчика. При выключенном передатчике вывод TxD может использоваться как контакт ввода/вывода общего назначения.

Ниже приведен простейший пример подпрограммы передачи по интерфейсу USART/UART. Эта подпрограмма ждет очистки буфера передатчика, а затем загружает в него новое значение.

# void USART\_Transmit(unsigned int data)

**{**

**// ждать очистки буфера передатчика**

**while(!(UCSRA & (1 << UDRE)));**

**// скопировать 9-й разряд данных из r17 в TXB8 UCSRB &= ~(1<<TXB8);**

**if (data & 0x100) UCSRB |= (1 << TXB8);**

**// загрузить мл. байт данных в буфер**

**UDR = data;**

**}**

# Прием данных

Работа приемника разрешается установкой разряда RXEN регистра UCSRB. При установке разряда вывод RxD подключается к приемнику USART/UART и начинает функционировать как ввод независимо от уста- новок регистров управления портом. Если используется синхронный режим работы, переопределяется также функционирование вывода ХСК.

Прием данных начинается сразу же после обнаружения приемни- ком корректного старт-бита. Каждый разряд содержимого кадра затем считывается с частотой, определяемой установками контроллера скоро- сти передачи или тактовым сигналом ХСК. Считанные разряды данных последовательно помещаются в сдвиговый регистр приемника до обна- ружения первого стоп-бита кадра. После этого содержимое сдвигового регистра пересылается в буфер приемника, из которого принятое значе- ние может быть получено путем чтения регистра данных модуля. При использовании 9-разрядных слов данных значение старшего разряда может быть определено по состоянию флага RX8 регистра UCSRB. Причем в модулях USART содержимое старшего разряда данных должно быть считано до обращения к регистру данных. Это связано с тем, что флаг RX8 отображает значение старшего разряда слова данных кадра, находящегося на верхнем уровне буфера приемника, состояние которого при чтении регистра данных изменится.

Если во время приема кадра была включена схема контроля чет- ности (только USART), она вычисляет бит четности для всех разрядов принятого слова данных и сравнивает его с принятым битом четности. Результат проверки запоминается в буфере приемника вместе с приня- тым словом данных и стоп-битами. Наличие или отсутствие ошибки контроля четности может быть затем определено по состоянию флага UPE. Этот флаг устанавливается в «1», если следующее слово, которое может быть прочитано из буфера, имеет ошибку контроля четности. При выключенном контроле четности флаг UPE всегда читается как «0».

Блок приемника модулей USART/UART имеет еще два флага, по- казывающих состояние обмена: флаг ошибки кадрирования FE и флаг переполнения DOR. Флаг FE устанавливается в «1», если значение первого стоп-бита принятого кадра не соответствует требуемому, т.е. равно «0».

Флаги DOR в USART и OR в UART индицируют потерю данных из-за переполнения буфера приемника. В UART флаг устанавливается в «1», если к моменту окончания приема кадра (заполнения сдвигового регистра приемника) данные предыдущего кадра не были считаны из регистра данных. В USART флаг устанавливается в «1» в случае приема старт-бита нового кадра при заполненных буфере и сдвиговом регистре

приемника. Установленный флаг DOR означает, что между прошлым байтом, считанным из регистра UDR, и байтом, считанным в данный момент, произошла потеря одного или нескольких кадров.

Следует иметь в виду, что обработка описанных флагов в моду- лях UART и USART несколько отличается. В модулях UART флаг ошибки кадрирования FE должен быть прочитан перед обращением к регистру данных, а флаг переполнения OR – после обращения к этому регистру.

В модулях USART все флаги ошибок буферизуются вместе со словом данных, т.е. соответствующие разряды регистра UCSRA отно- сятся к кадру, слово данных которого будет прочитано при следующем обращении к регистру данных UDR. Поэтому состояние этих флагов должно быть считано перед обращением к регистру данных. Кроме того, для совместимости с будущими устройствами рекомендуется при записи в регистр UCSRA сбрасывать соответствующие этим флагам разряды записываемого значения в «0».

Для индикации состояния приемника в модулях USART/UART используется флаг прерывания «Прием завершен» RXC регистра UCSRA. Этот флаг устанавливается в «1» при наличии в буфере прием- ника непрочитанных данных. В модулях UART этот флаг сбрасывается после прочтения регистра данных, а в модулях USART – при опустоше- нии буфера (после считывания всех находящихся в нем данных).

Выключение приемника осуществляется сбросом разряда RXEN регистра UCSRB. В отличие от передатчика приемник выключается сразу же после сброса разряда, т.е. кадр, принимаемый в этот момент, теряется. В модулях USART, кроме того, при выключении приемника очищается его буфер, т.е. теряются также все непрочитанные данные. При выключенном приемнике вывод RxD может использоваться как контакт ввода/вывода общего назначения.

Пример подпрограммы приема по интерфейсу USART приведен ниже. Как и в предыдущем примере здесь используется опрос флага прерывания.

# unsigned int USART\_Receive(void)

**{**

**unsigned char status, resh, resl;**

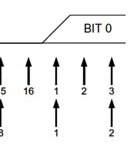
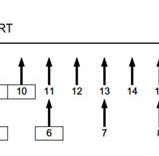
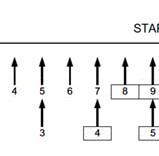
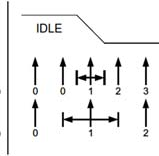
**// ждать заполнения буфера приемника**

**while(!(UCSRA & (1<<RXC)));**

**// прочитать 9-й разряд данных и флаги состояния**

**status = UCSRA;**

**resh = UCSRB;**



**resl = UDR; // прочитать младший байт данных**

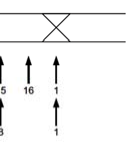
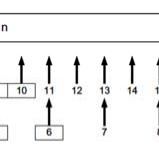
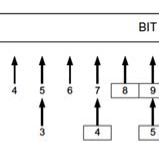
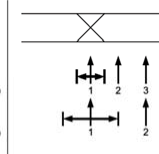
**if (status & (1<<FE)|(1<<DOR)|(1<<UPE)) return -1; // в случае ошибки вернуть -1**

**resh = (resh>>1) & 0x01; // выделить 9-й разряд**

**return (resh<<8) | resl;**

**}** а)

Собственно прием всех разрядов кадра осуществляется по-разному,



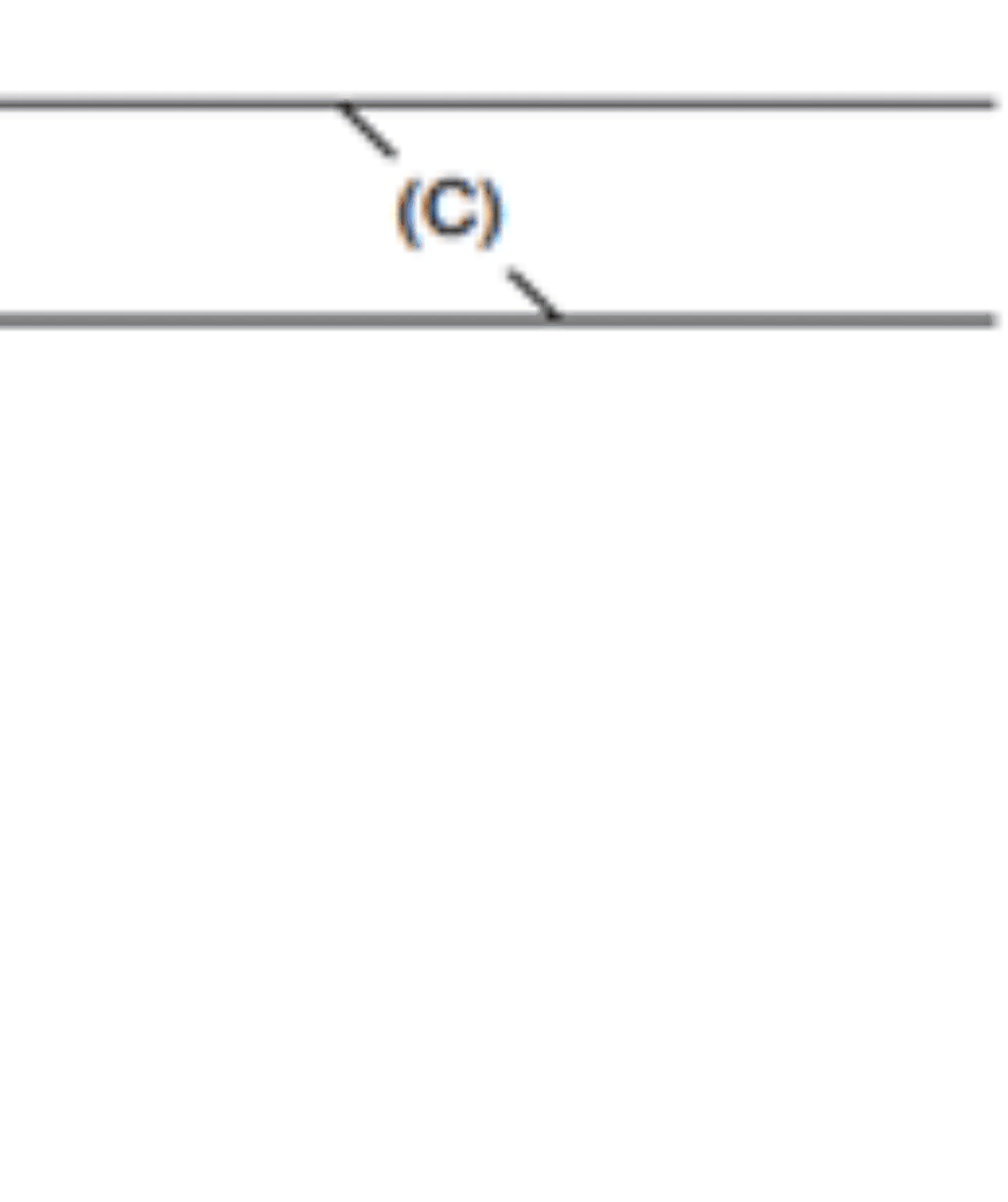
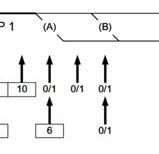
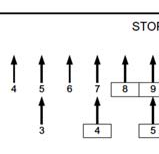
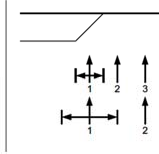
в зависимости от режима работы модуля. При работе модуля USART в синхронном режиме состояние вывода RxD считывается по одному из фронтов сигнала ХСК. Если разряд UCPOL peгистра UCSRC сброшен в «0», считывание состояния вывода происходит по спадающему фронту сигнала ХСК, если же установлен в «1» – по нарастающему фронту сиг- нала. Другими словами, считывание данных с вывода RxD и их выдача на вывод TxD проводят по противоположным фронтам.

Для обеспечения приема в асинхронном режиме работы исполь- зуются для восстановления тактового сигнала и данных. Схема восста- новления тактового сигнала предназначена для синхронизации внутрен- него тактового сигнала, формируемого контроллером скорости передачи, и кадров, поступающих на вывод RxD микроконтроллера. Схема вос- становления данных осуществляет считывание и фильтрацию каждого разряда принимаемого кадра.

Схема восстановления тактового сигнала осуществляет опрос входа приемника с целью определения старт-бита кадра. Частота опроса зависит от состояния разряда U2X регистра UCSRA. В обычном режиме (при U2X = 0) частота опроса в 16 раз превышает скорость передачи данных, а в ускоренном режиме (при U2X = 1) – в 8 раз.

Обнаружение изменения сигнала на выводе RxD с лог. 1 (режим ожидания) на лог. 0 интерпретируется как возможное появление перед- него фронта старт-бита. После этого в нормальном режиме проверяется значение 8-й, 9-й и 10-й выборок входного сигнала, а в ускоренном ре- жиме – 4-й, 5-й и 6-й выборок (рис. 77, а). Если значение хотя бы двух выборок из указанных равно лог. 1, старт-бит считается ложным (помеха), а приемник переходит к ожиданию следующего изменения входного сигнала с лог. 1 на лог. 0. В противном случае считается, что обнаружен старт-бит новой последовательности, с которым синхронизируется внутренний тактовый сигнал приемника. После этого начинает работать схема восстановления данных.

б)



в)

Рис. 77. Распознавание разрядов кадра:

а – старт-бит; б – остальные разряды; в – стоп-бит.

Решение о значении принятого разряда принимается также по результатам 8-й, 9-й и 10-й (4-й, 5-й и 6-й) выборок входного сигнал (рис*.* 77, б). Состоянием разряда считается логическое значение, которое было получено по меньшей мере в двух из трех выборок. Процесс опо- знавания повторяется для всех разрядов принимаемого кадра, исключая первый стоп-бит.

Из сказанного следует, что старт-бит нового кадра может переда- ваться сразу же после последней выборки используемой для определе- ния значения разряда. В обычном режиме работы формирование старт- бита может начинаться в момент А, а в ускоренном режиме – в момент В (рис. 77, в). Момент С, обозначенный на рисунке, определяет макси- мальную длительность стоп-бита.